

GOWIN: НОВОЕ ИМЯ НА РЫНКЕ FPGA

GOWIN: NEW FPGA MARKET NAME

В статье приведены основные технические характеристики и возможности микросхем FPGA китайской компании GOWIN.

Abstract – This article describes the main technical characteristics and capabilities of the FPGA chips produced by Chinese company GOWIN.

V. Котигорошко

V. Kotigoroshko

ВВЕДЕНИЕ

FPGA (Field-Programmable Gate Array) – программируемые пользователем вентильные матрицы. Это, возможно, не очень точная, но наиболее часто встречающаяся трактовка аббревиатуры FPGA. Микросхемы FPGA представляют собой только одну из разновидностей программируемых логических интегральных схем (ПЛИС), хотя очень часто в более общих случаях их также называют ПЛИС, под которыми, как правило, подразумевается полупроводниковый электронный компонент, используемый для создания конфигурируемых цифровых узлов, логика работы которых, в отличие от классических цифровых микросхем, определяется не в процессе изготовления, а задается пользователем посредством его программирования [1-9].

Для реализации любого алгоритма обработки данных в процессоре выполняется определенный набор инструкций. В ПЛИС алгоритм реализуется на аппаратном уровне (в "железе"), благодаря соответствующей конфигурации элементарных логических ячеек.

Микросхема FPGA – содержит матрицу логических элементов с набором связей, триггеров, мультиплексоров, портов ввода/вывода, блоки памяти типа SRAM или Flash, а кроме того, может содержать вычислительное ядро микропроцессора общего назначения или сигнального процессора (DSP), блок фазовой автоподстройки частоты (PLL) и пр. После включения питания необходима начальная загрузка конфигурации логических элементов и их связей, которая сохраняется во встроенной энергозависимой или энергонезависимой памяти микросхемы. Число модификаций, т.е. перепрограммирования структуры, не ограничивается. Микросхемы FPGA – наиболее востребованная разновидность ПЛИС.

При использовании FPGA в буквальном смысле проектируются цифровые микросхемы разной сложности, т.к. в результате проектирования "рождается" микросхема, реализующая определенный

алгоритм на аппаратном уровне, а не код, предназначенный для выполнения микропроцессором.

Микросхема FPGA – это не микропроцессор, в котором последовательно выполняется пользовательский набор инструкций. В FPGA реализуется на аппаратном уровне именно алгоритм с использованием встроенных элементарных логических ячеек. Проект для FPGA может быть разработан, например, в виде принципиальной электрической схемы. Также существуют специальные языки программирования (Verilog или VHDL).

Суперсовременные мощные FPGA ведущих производителей изготавливаются с соблюдением технологических процессов с разрешающей способностью 10/16 нм и могут содержать десятки млрд транзисторов (например, кристалл VU19P семейства Virtex Ultrascale+ компании Xilinx Inc.).

Важная отличительная особенность FPGA – возможность их оперативной реконфигурации и быстрой адаптации к изменившимся требованиям заказчика. Сегодня это контроллер 100Gb Ethernet, а завтра контроллер интерфейса PCI-e или HDMI.

Основные области применения – это радары, сонары, базовые станции беспроводной связи, программно-управляемые радиоустройства, системы видеонаблюдения, различные аудио и видео приложения, автомобильная промышленность (видеокамеры, радары, лазерные системы), устройства обработки мультимедийной информации в широкополосных сетях, медицинские приборы визуализации, сетевые маршрутизаторы, аппаратура для волоконно-оптических линий связи, реконфигурируемые суперкомпьютеры, робототехника, специальная и военная техника, а также другие устройства для высокопроизводительной и высокотехнологичной обработки данных. FPGA эффективно используются в качестве ускорителей вычислений специализированных функций. Это:

- фильтрация
- быстрое преобразование Фурье
- криптография

- компрессия
- обработка случайных процессов по методу Монте-Карло
- получение трехмерных изображений в медицине
- пакетная и сетевая обработка.

Для реализации таких вычислений в FPGA имеются встроенные в специализированные DSP-блоки многоразрядные умножители, которые также можно объединять для повышения производительности при решении задач фильтрации и обработки видеоизображения.

Кроме того, микросхемы FPGA традиционно используются для создания прототипов при проектировании новых заказных микросхем. Вначале выпускаются малые партии устройств с использованием реконфигурируемых FPGA, а в дальнейшем после их всесторонней проверки в реальных условиях эксплуатации, приступают к организации серийного производства уже с использованием заказных микросхем (application specific integrated circuit – ASIC), что позволяет снизить стоимость и габаритные размеры устройства.

В новейших микросхемах FPGA ведущих мировых производителей содержатся десятки высокоскоростных последовательных портов, обеспечивающих скорость передачи данных по каждому из них до 32 Гбит/с, а также аппаратные IP-ядра контроллеров памяти типа DDR4, интерфейсов 100Gb Ethernet, PCI-e Gen4 и пр.

Традиционно основными потребителями микросхем FPGA являются высокотехнологичные компании – IBM, Dell, Hewlett Packard, Cisco, Ericsson, Huawei, Sony, Harman International, Samsung, Siemens, Toshiba, Raytheon и многие другие.

ОБЗОР РЫНКА FPGA

В отчете "Глобальный рынок программируемых вентиляционных матриц (FPGA): краткий обзор", опубликованном ассоциацией Market Research Future (MRFR), отмечается, что совокупный среднегодовой темп роста (compound annual growth rate – CAGR) глобального рынка микросхем FPGA будет составлять примерно 10-13% в течение прогнозируемого периода 2020-2023 гг. По оценкам в 2023 г общий объем рынка составит порядка 25 млрд долларов США, в секторе телекоммуникаций – 1.625 млрд долларов США (рис. 1) [1].

Основными представленными в докладе MRFR производителями на мировом рынке микросхем FPGA являются Xilinx Inc. (США), Intel Corporation

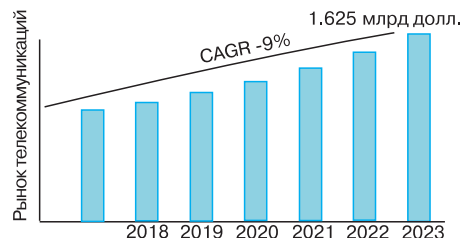


Рис. 1. Прогноз развития телекоммуникационного рынка FPGA

(США), Microsemi Corporation (США), Achronix (США), Teledyne e2v (Великобритания), Lattice Semiconductor Corporation (США), QuickLogic (США), Atmel Corporation (США), Tabula Inc. (США) и другие. Причем компании Xilinx и Intel контролируют примерно 90% мирового рынка.

Глобальный рынок микросхем ПЛИС условно можно сегментировать по многим признакам, в том числе в зависимости от технологии изготовления, типа памяти для хранения информации о конфигурации, области применения, иногда используются региональные признаки, а также многие другие.

По степени интеграции микросхем рынок разделен на сегменты с низкой, средней (технологические нормы 28...90 нм) и высокой степенью интеграции (менее 28 нм).

По типу памяти микросхемы подразделяются на те, в которых для хранения конфигурации используется память типа SRAM, FLASH, EEPROM или используются пережигаемые перемычки (antifuse).

По области применения рынок сегментирован на автомобильную и бытовую электронику, военную и аэрокосмическую промышленность, приложения для центров обработки данных и многие другие сферы.

Преимущество технологии, при которой информация о конфигурации хранится в ячейках статической памяти (SRAM), – возможность многократного перепрограммирования. Недостаток – сравнительно большая продолжительность начальной загрузки. После каждого включения питания необходимо инициировать загрузку информации о конфигурации. В большинстве классических микросхем FPGA, как правило, используется именно память типа SRAM.

Если в микросхемах для хранения конфигурации используется встроенная память типа FLASH или EEPROM, то при выключении питания информация не исчезает и после включения напряжения питания микросхема готова к работе. Недостаток таких микросхем – ограниченное количество циклов переза-

писи.

В некоторых микросхемах используется специальная технология, при которой программирование заключается в расплавлении специальных перемычек (antifuse) для формирования требуемой структуры логических ячеек. Недостаток – однократное программирование, после чего естественно исправить уже ничего нельзя. Преимущество – ниже вероятность сбоев в условиях внешней радиации, т.к. для конфигурации используются перемычки, а не полупроводниковые структуры ячеек SRAM-памяти.

Рынок современных высокопроизводительных микросхем FPGA определяется весьма специфической структурой сфер потребления. Это обусловлено как стоимостью микросхем, так и особенностями их использования в серийном производстве, и особенностями процесса проектирования цифровых систем на их базе. Львиная доля (более 40%) – это сектор телекоммуникаций. Примерно те же 40% в суммарном исчислении приходится на оборудование для гражданской авиации, военное оборудование и системы промышленного назначения. Оставшиеся, около 20%, – это автомобильная промышленность, устройства обработки данных (аппаратно-программные акселераторы для рабочих станций) и медленно, но постоянно растущий сегмент массовой бытовой электроники.

GOWIN SEMICONDUCTOR CORP.

Штаб-квартира основанной в 2014 году компании GOWIN Semiconductor Corp. располагается в Китайской Народной Республике. Кроме того, подразделения компании, занимающиеся исследованиями и разработками микросхем, размещены в США и Гонконге. Компания GOWIN сотрудничает с ведущими мировыми корпорациями, работающими в сфере программируемой логики. Компания предлагает на рынке микросхемы FPGA, ПО для разработки IP-ядер, варианты эталонных дизайнов, а также комплекты для разработки. Микросхемы FPGA компании используются в промышленных системах, телекоммуникационных сетях, а также в изделиях для массового потребительского рынка, медицинского и автомобильного оборудования.

Микросхемы компании выпускаются крупнейшим расположенным на Тайване мировым производителем полупроводниковых приборов – TSMC (Taiwan Semiconductor Manufacturing Company) с использованием технологических норм 55 нм.

Компания появилась на рынке FPGA сравнительно недавно, однако демонстрирует высокую дина-

мику роста продаж и перспективы развития своих продуктов, ориентированных на применение в различных областях радиоэлектроники, автомобильной индустрии, системах видеонаблюдения, высокоскоростных интерфейсах обмена данными, телекоммуникационном оборудовании, обороне и космосе.

Стремительный рост продаж аналитики связывают с запретом американским фирмам продавать компоненты известному производителю телекоммуникационного оборудования и мобильных телефонов в Китае – компании ZTE – вследствие нарушения ею санкций США в отношении Ирана и Северной Кореи. Это послужило хорошим стимулом для роста выпуска высокопроизводительных ИМС китайских производителей, а также развития научных исследований и разработок с целью уменьшения зависимости от Запада.

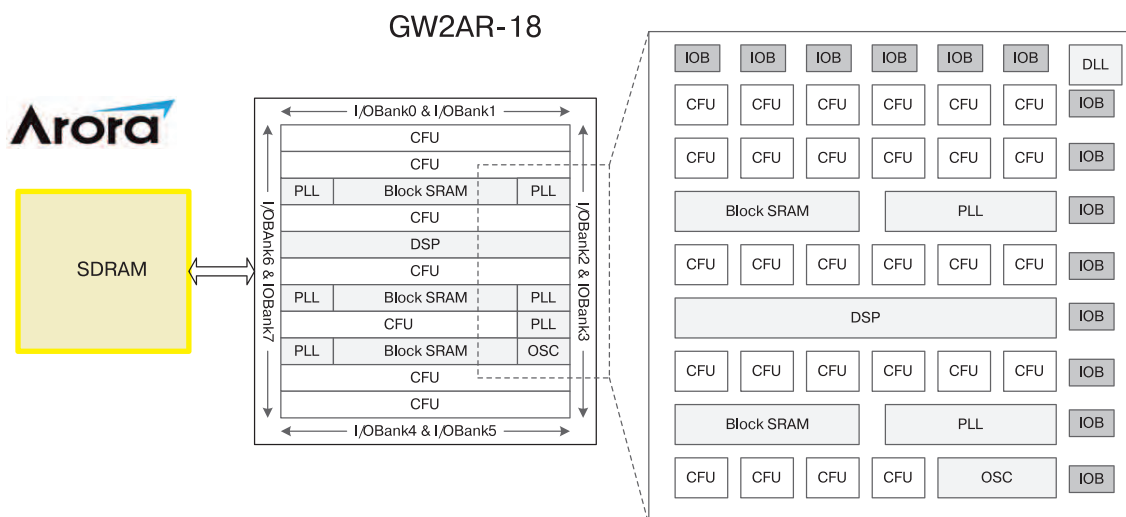
По оценкам специалистов компании GOWIN, произведенные по технологии 55 нм микросхемы FPGA могут конкурировать с существующими на рынке кристаллами FPGA низкой и средней степени интеграции других производителей.

Хотя на web-сайте компании сведений нет, но из сообщений некоторых новостных агентств следует, что компания планирует выпуск нового семейства GW3AT-100 с использованием технологических норм 28 нм [9]. В этих микросхемах будет поддерживаться интерфейс PCI-e 2.0/5 Гбит/с (x1, x2, x4, x8), а также другие высокоскоростные протоколы обмена данными (XAUI/3.125 Гбит/с, RXAUI/6.25 Гбит/с и CEI-6G/6.25 Гбит). Типичные области применения микросхем GW3AT – беспроводные базовые станции Microcell, машинное зрение, робототехника, вычислительные устройства с параллельными вычислениями и пр. Предполагается, что микросхемы GW3AT могут быть ориентированы на рынок приложений, в которых применяются некоторые из модификаций FPGA Kintex-7 (Xilinx).

В настоящее время компания предлагает два семейства микросхем FPGA: Arora (GW2A/AR) и LittleBee (GW1N).

FPGA ARORA

GW2A – классические изготавливаемые по технологическим нормам 55 нм микросхемы FPGA, содержащие до 55 тыс. четырехходовых таблиц истинности LUT4 (Look-Up Table). Основные характеристики микросхем FPGA семейства Arora приведены в табл. 1. Структура микросхем GW2AR-18 приведена на рис. 2. Отличительная особенность – на-


Рис. 2. Структура микросхем GW2AR-18
Таблица. 1. Характеристики микросхем FPGA семейства Arora

Характеристика	GW2A-18	GW2A-55	GW2AR-18
LUT4	20736	54720	20736
Триггеры	15552	41040	15552
Объем памяти S-SRAM, бит	41472	109440	41472
Объем памяти B-SRAM, Кбит	828	2520	828
Кол. блоков памяти B-SRAM	46	140	46
Объем памяти SDR SDRAM/DDR SDRAM, Мбит	—	—	64/128
Объем памяти PSRAM, Мбит	—	—	64
Кол. умножителей 18×18	48	40	48
Кол. PLL/DLL	4/4	6/4	4/4
Кол. банков I/O	8	8	8
Макс. число портов I/O	384	608	384
Напряжение питания ядра, В	1.0	1.0	1.0

личие встроенных блоков высокоскоростной динамической SDR SDRAM/DDR SDRAM и псевдостатической памяти типа PSRAM (Pseudo-Static RAM) объемом до 128 Мбит. Тип и объем памяти зависят от модификации, определяемой типоразмером корпуса. Микросхема GW2AR, которая является базовой в семействе Arora, не содержит памяти этих типов. Параметры встроенных блоков памяти при-

Таблица. 2. Параметры встроенных блоков памяти

Характеристика	PSRAM	SDR SDRAM	DDR SDRAM
Объем памяти, Мбит	64	64	128
Разрядность шины данных, бит	16	32	16
Время доступа, нс	—	5.4	—
Тактовая частота, МГц	166	166	250/200
Интерфейс	—	LVTTTL	SSTL_2
Напряжение питания, В	1.8	3.3	2.5

ведены в табл. 2. В FPGA семейства Arora для хранения информации о конфигурации используется память типа S-SRAM. В качестве внешней памяти для загрузки FPGA можно использовать любые стандартные микросхемы Serial Flash.

Конфигурируемый функциональный блок (configurable function unit – CFU) является базовым блоком для микросхем FPGA семейства Arora и LittleBee (рис. 3). Каждый блок CFU состоит из конфигурируемого логического блока (configurable logic unit – CLU) и настраиваемого маршрутизатора (configurable routing unit – CRU), обеспечивающего соединения входа, выхода, а также блоков, содержащихся в CFU. В каждом блоке CLU имеется четыре конфигурируемые логические ячейки (configurable logic slices – CLS), в состав которых входит таблица истинности (LUT) и триггер (рис. 3.).

Порты ввода/вывода в микросхемах серии GW2A расположены по периферии кристалла в блоках (рис. 4), называемых банками (IOBank0...IOBank7).

Каждый их банков I/O содержит вывод (VCCO) для подключения напряжения питания (3.3, 2.5, 1.8, 1.5 или 1.2 В).

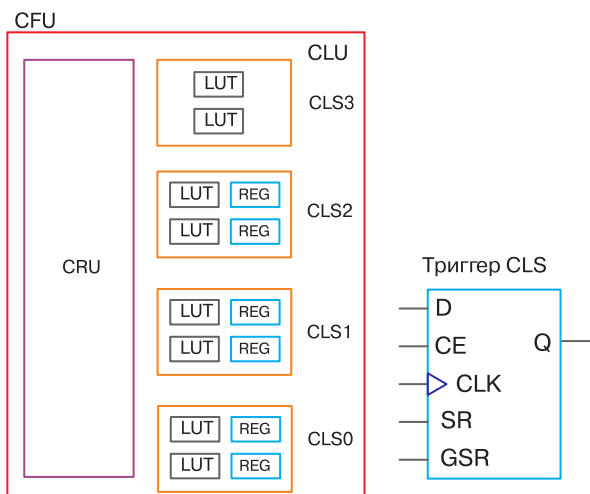


Рис. 3. Структура конфигурируемого логического блока

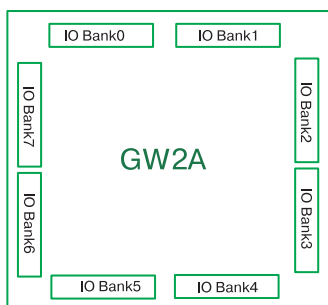


Рис. 4. Структура банков ввода/вывода

В микросхемах FPGA компании Intel, например, серий Cyclone II, Cyclone III, Cyclone IV E, Cyclone 10 LP или ECP5U (Lattice) можно найти модификации мик-

росхем с числом логических элементов до 55 тыс., однако едва ли можно полагать, что микросхемы семейства GW2A являются их аналогами или предназначены для их непосредственной замены.

FPGA LITTLEBEE

Микросхемы FPGA (GW1N) семейства LittleBee изготавливаются на основе техпроцесса с проектными нормами 55 нм и содержат до 9 тыс. LUT, а также встроенный массив памяти типа флэш объемом до 128 Кбайт, в которой может храниться конфигурация структуры логических ячеек микросхемы. Кроме того, FPGA семейства LittleBee в зависимости от модификации могут содержать массив динамической памяти типа SDR SDRAM, АЦП, модуль Bluetooth LE, криптографический модуль, а также встроенную аппаратную микропроцессорную систему на базе 32-разрядного процессорного ядра ARM Cortex-M3 (в отличие от ряда микросхем FPGA компаний Intel и Xilinx, в которых используется более "громоздкое" и мощное ядро ARM Cortex-A9).

Основные характеристики микросхем GW1NS семейства LittleBee даны в табл. 3. Структура микросхемы GW1NS-2C приведена на рис. 5. Пользовательская флэш-память объемом 128 Кбайт (GW1NS-2C/2) или 32 Кбайт (GW1NS-4C/4) может использоваться в качестве программной памяти процессора Cortex-M3 или в качестве энергонезависимой памяти для хранения пользовательских данных, а кроме того, в микросхемах GW1NS-2C/2 для сохранения кода конфигурации в режиме DUAL BOOT. В таком случае, после включения напряжения питания код конфигурации загружается из встроенной флэш-памяти в память типа SRAM – т.н. режим "быстрого старта". Продолжительность загрузки –

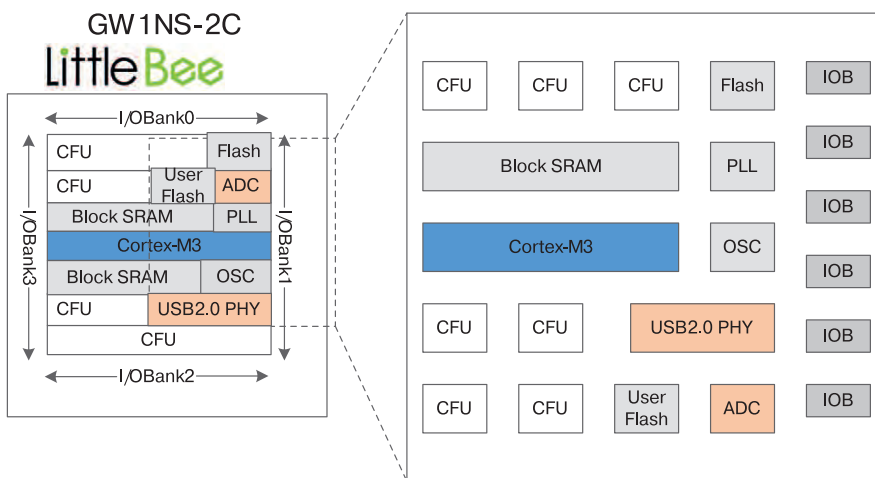


Рис. 5. Структура микросхемы GW1NS-2C

Таблица 3. Основные характеристики микросхем GW1NS семейства LittleBee

Характеристика	GW1NS-2	GW1NS-2C	GW1NS-4	GW1NS-4C
LUT4	1728	1728	4608	4608
Триггеры	1296	1296	3456	3456
Объем памяти В-SRAM, Кбит	72	72	180	180
Кол. блоков памяти В-SRAM	4	4	10	10
Кол. умножителей 18Ч18	—	—	16	16
Объем флэш-памяти, Кбайт	128	128	32	32
Кол. PLL/DLL	1/2	1/2	2/2	2/2
Генератор (погрешность, %)	1 (±5)	1 (±5)	1 (±5)	1 (±5)
Процессорное ядро	—	Cortex-M3	—	Cortex-M3
Контроллер USB	USB 2.0 PHY	USB 2.0 PHY	—	
АЦП	1	1	—	—
Кол. банков I/O	4	4	4	4
Макс. число портов I/O	102	102	106	106
Напряжение питания ядра, В	1.2	1.2	1.2	1.2

несколько мс. Массив памяти объемом 128 Кбайт разбит на 256 страниц. Шина данных – 32-разряда. Время операции считывания – 30 нс, записи – 30 мкс, длительность стирания страницы – 2 мс. Минимальное число циклов стирания/записи – 100 тыс., ориентировочное время хранения данных – 10 лет.

Микропроцессорная система, кроме процессорного ядра ARM Cortex-M3, содержит два универсальных таймера (Timer0/Timer1), а также сторожевой таймер (watchdog). Кроме того, имеется два модуля UART. В микропроцессорной системе благодаря контроллеру прерываний обеспечивается мониторинг сигналов прерываний на линиях ввода/вывода (GPIO), а также от интерфейсных модулей (UART0, UART1) и таймеров.

Частота выборки 8-канального АЦП последовательного приближения – 1 МГц. Интегральная нелинейность – менее единицы младшего разряда, дифференциальная – 0.5 младшего разряда. Динамический диапазон (Spurious-Free Dynamic Range – SFDR) – более 81 дБ, отношение сигнал/шум (Signal-to-noise and distortion ratio – SINAD) – более 62 дБ.

Отличительная особенность микросхем GW1NZ (табл. 4, 5) – ультранизкая потребляемая статическая мощность. При напряжении питания ядра 0.9 В статическая потребляемая мощность микросхемы GW1NZ-ZV – всего 28 мкВт, что более чем в 2.4 раза

ниже по сравнению с предлагаемыми конкурентами микросхемами FPGA с флэш-памятью. Структура микросхемы GW1NZ приведена на рис. 6.

Таблица 4. Характеристики микросхем GW1NZ семейства LittleBee

Характеристика	GW1NZ-1
LUT4	1152
Триггеры	864
Объем памяти S-SRAM, Кбит	4
Объем памяти В-SRAM, Кбит	72
Объем флэш-памяти, Кбит	64
Кол. PLL/DLL	1/0
Макс. число портов I/O	48
Напряжение (VCC), В	1.2(LV), 0.9(ZV)

FPGA с низким уровнем энергопотребления имеют явное преимущество в сравнении с микроконтроллерами для тех приложений, в которых требуется постоянный мониторинг состояния периферийных устройств в системе. В микроконтроллерах для обеспечения мониторинга необходима постоянная работа процессора. И хотя, чтобы уменьшить динамическое энергопотребление, тактовую частоту

Таблица. 5. Типы корпусов микросхем GW1NZ-1

Тип корпуса	Расстояние между выводами, мм	Размер, мм	Порты ввода/вывода
FN32	0.4	4×4	25
CS16	0.4	1.8×1.8	11
QN48	0.4	6×6	40

ту в ряде случаев можно снизить, тем не менее, уровень энергопотребления микроконтроллера и в таком случае все еще остается довольно высоким. В качестве альтернативы, если статическая потребляемая мощность FPGA низка, то для выполнения процедуры мониторинга его логическая структура может быть оптимизирована, что позволит в результате уменьшить суммарную потребляемую

мощность.

Это особенно важно для таких приложений как IoT (Internet of Things – интернет вещей) и других "постоянно включенных" приложений, поскольку для них крайне важен низкий уровень энергопотребления в процессе непрерывного мониторинга состояния устройства.

Основные параметры микросхем FPGA (GW1NR) семейства LittleBee приведены в табл. 6, 7. Их отличительная особенность – наличие большого объема динамической памяти. Память SDR SDRAM работает с тактовой частотой 200/166/143 МГц (время доступа 4.5 нс), шина данных 16 разрядов, напряжение питания 3.3 В, интерфейс LVTTTL. Структура микросхемы GW1NR приведена на рис. 7.

Особенность микросхем GW1NSR (табл. 8) – наличие микропроцессорной системы на базе ARM Cortex-M3, АЦП, контроллера USB 2.0 PHY, массива программируемой логики, а также дополнительного

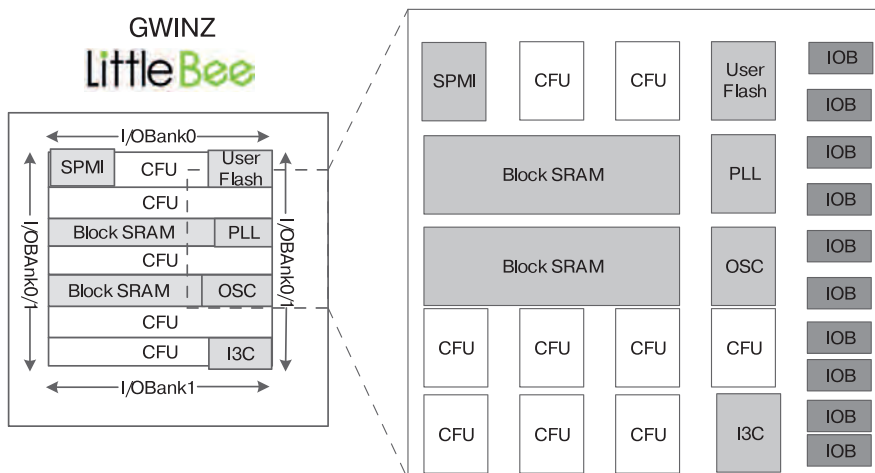


Рис. 6. Структура микросхемы GW1NZ

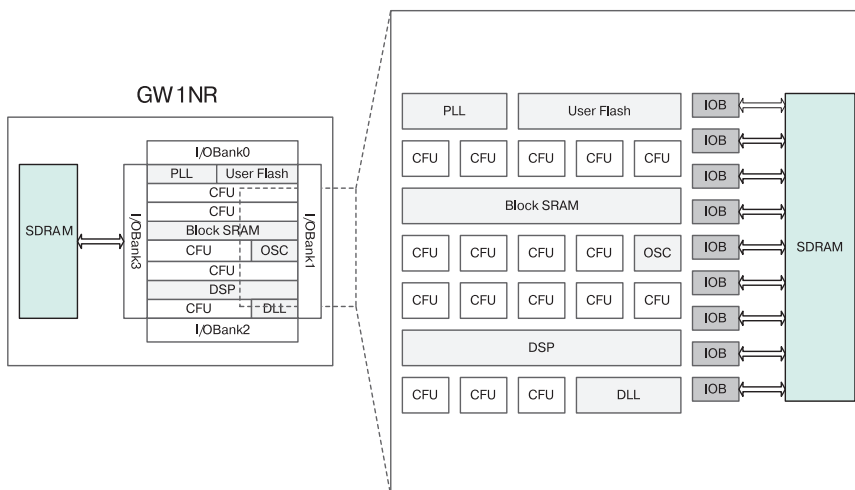


Рис. 7. Структура микросхемы GW1NR

Таблица. 6. Характеристики микросхем GW1NR семейства LittleBee

Характеристика	GW1NR-4/ GW1NR-4B	GW1NR-9
LUT4	4608	8640
Триггеры	3456	6480
Объем памяти S-SRAM, бит	0	17280
Объем памяти B-SRAM, Кбит	180	468
Количество блоков памяти B-SRAM	10	26
Объем флэш-памяти, Кбит	256	608
Объем памяти SDR SDRAM, Мбит	64	64
Объем памяти PSRAM, Мбит (тип корпуса)	32 (QN88)	64 (MG81)
	64 (QN88/LQ144)	128 (MG100)
Количество умножителей 18×18	16	20
Количество PLL/DLL	2/2	2/4
Количество банков I/O	4	4
Максимальное число портов I/O	218	276
Напряжение питания ядра (LV), В	1.2	1.2
Напряжение питания ядра (UV), В	2.5/3.3	

Таблица. 7. Типы корпусов микросхем GW1NR

Тип корпуса	Тип	Память
QN88	GW1NR-4/4B	SDR SDRAM, PSRAM
	GW1NR-9	SDR SDRAM, PSRAM
MG81	GW1NR-4/4B	PSRAM
MG100	GW1NR-9	PSRAM
LQ144	GW1NR-9	PSRAM

комбинированного блока ОЗУ HyperRAM/PSRAM объемом до 64 Мбит и блока памяти типа NOR-флэш (32 Мбит), которую можно использовать для хранения программного кода Cortex-M3 (рис. 8).

В режиме PSRAM поддерживается обмен данными по 8-разрядной шине данных с использованием спецификации DDR (Double Data Rate) с тактовой частотой 166 МГц. Напряжение питания – 1.8 В.

В режиме HyperRAM тактовая частота составляет 200 МГц, шина данных – 8 разрядов, интерфейс – DDR. Напряжение питания – 1.7...2.0 В или 2.7...3.6 В. HyperRAM – это высокоскоростная динамическая память с интерфейсом HyperBUS. По сути, для внешнего контроллера это псевдостатическая память (PSRAM).

Для обмена данными с блоком памяти типа NOR-флэш объемом 32 Мбит используется интерфейс SPI/Dual SPI/Quad SPI/QPI. Тактовая частота – 120 МГц. Время стирания сектора данных – 90 мс, всего блока – 20 с. Минимальное число циклов сти-

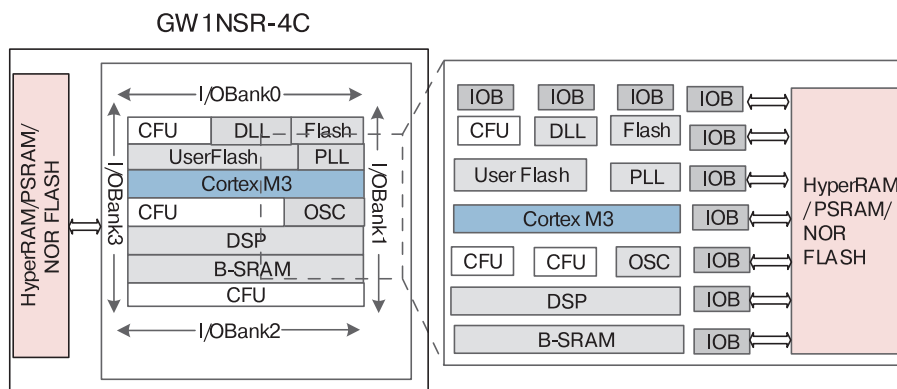


Рис. 8. Структура микросхемы GW1NSR

Таблица. 8. Характеристики микросхем GW1NSR семейства LittleBee

Характеристика	GW1NSR-2	GW1NSR-2C	GW1NSR-4	GW1NSR-4C
LUT4	1728	1728	4608	4608
Триггеры	1296	1296	3456	3456
Объем памяти В-SRAM, Кбит	72	72	180	180
Кол. блоков памяти В-SRAM	4	4	10	10
Кол. умножителей 18×18	—	—	16	16
Объем флэш-памяти, Кбайт	128	128	32	32
Объем памяти PSRAM, Мбит	32	32	64	64
Объем памяти HyperRAM, Мбит	—	—	—	64
NOR-флэш, Мбит	—	—	—	32
Кол. PLL/DLL	1/2	1/2	2/2	2/2
Генератор (погрешность, %)	1 (±5)	1 (±5)	1 (±5)	1 (±5)
Процессорное ядро	—	Cortex-M3	—	Cortex-M3
Контроллер USB	USB 2.0 PHY	USB 2.0 PHY	—	—
АЦП	1	1	—	—
Кол. банков I/O	4	4	4	4
Макс. число портов I/O	102	102	106	106
Напряжение питания ядра, В	1.2	1.2	1.2	1.2

рания/записи – 100 тыс., ориентировочное время хранения данных – 20 лет.

Микросхемы серии GW1NSE, кроме массива программируемой логики, содержат аппаратное процессорное ядро ARM Cortex-M3 и специализированный криптографический блок.

Микросхема GW1NRF-4B (рис. 9) – изготовленная в одном корпусе типа QFN-48 (размерами всего 6×6 мм) система на кристалле, содержащая:

- конфигурируемые функциональные блоки CFU, в состав которых входит 4.6 тыс. LUT4
- оптимизированный по уровню потребляемой мощности 32-разрядный микропроцессор ARC (Synopsys)
- приемопередатчик Bluetooth 5.0 Low Energy (Bluetooth LE).

Области применения – беспроводное радио, беспроводные датчики, аудио и видео приложения,

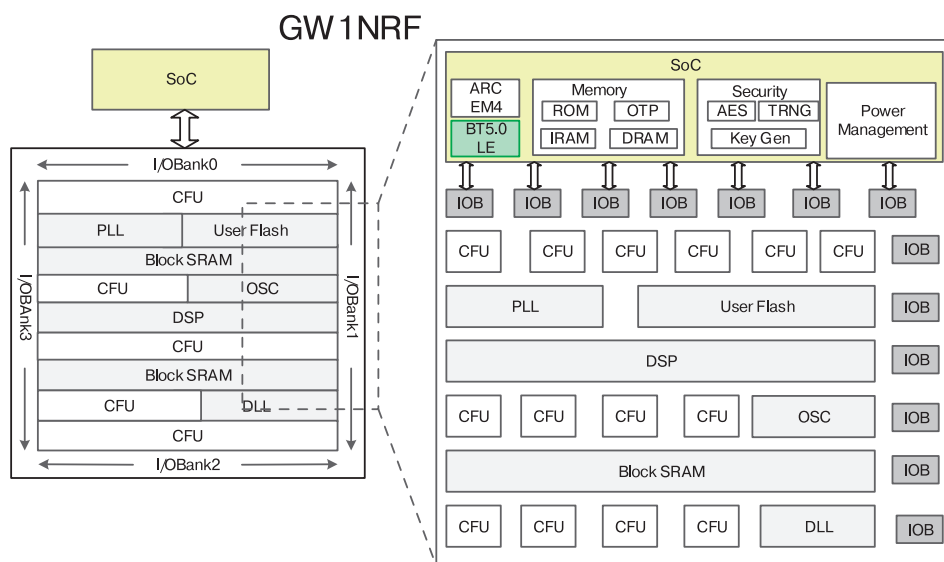


Рис. 9. Структура системы на кристалле GW1NRF

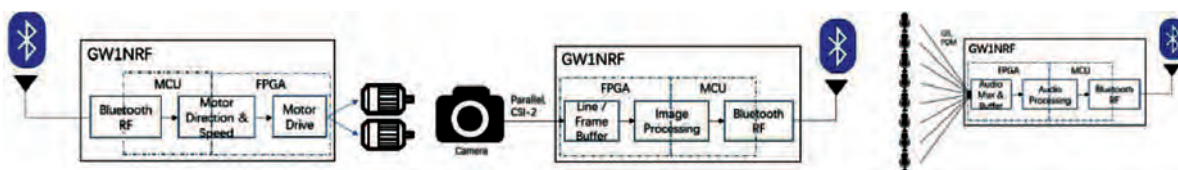


Рис. 10. Варианты применения GW1NRF

устройства IoT и другие портативные устройства, использующие интерфейс Bluetooth LE. В микросхеме GW1NRF-4B содержится блок управления, обеспечивающий различные энергосберегающие режимы работы, в том числе, возможность полного отключения устройства, что позволяет снизить ток потребления до 5 нА. Как правило, Bluetooth-приложения работают от автономных элементов питания, в связи с чем остро стоит проблема энергосбережения. Возможные варианты применения микросхемы GW1NRF-4B приведены на рис. 10.

Ориентировочно микросхемы семейства GW1N можно рассматривать в качестве альтернативы FPGA MAX10 (Intel), а также iCE40, MachXO2 и MachXO3 (Lattice).

СРЕДСТВА РАЗРАБОТКИ

САПР GOWIN EDA для разработки проектов с использованием микросхем FPGA компании GOWIN, как и документацию на продукты компании, можно загрузить после регистрации с web-сайта компании. Для работы с САПР требуется лицензионный файл (бесплатный), который предоставляется по запросу на web-сайте компании. Среда разработки содержит все необходимые для процесса проектирования этапы (от собственно описания проекта до аппаратной внутрисхемной отладки). Компания

предлагает также IP-ядра (контроллеры внешней памяти, контроллер CAN и Ethernet, процессорные ядра ARM Cortex-M1, RISC-V и др.), а также разнообразные аппаратные модули, которые можно использовать в процессе разработки пользовательских проектов (рис. 11), с подробным описанием которых можно ознакомиться на web-сайте компании GOWIN Semiconductor.

Более полную информацию о продукции фирмы GOWIN Semiconductor можно найти на web-сайте <https://gowinsemi.com>.

ЛИТЕРАТУРА

1. World High-End FPGA market: comprehensive study explores huge growth by 2025.
2. 'Made in China 2025': the Guangzhou start-up aiming big in semiconductors.
3. GW1NS series of FPGA Products Data Sheet.
4. GW1NSER series of Secure FPGA Products Datasheet.
5. GW2A series of FPGA Products Data Sheet.
6. GW2AR series of FPGA Products Data Sheet.
7. DK-START-GW2AR18 User Guide.
8. Wireless Edge Connectivity with Bluetooth Integrated FPGAs White Paper.
9. <http://www.mat7lab.com/m/news.asp?id=386>.

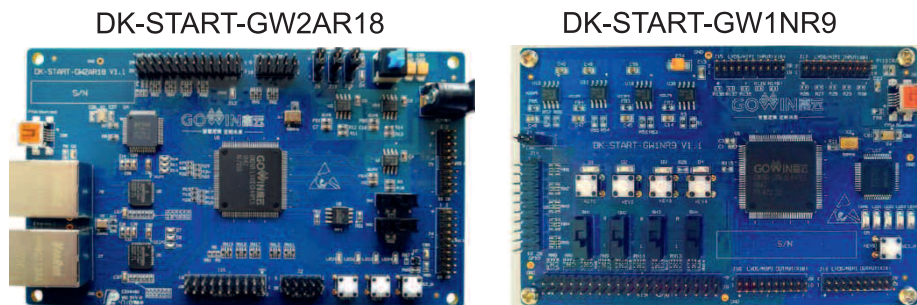


Рис. 11. Плата DK-START-GW2AR18 и DK-START-GW1NR9